

PRINTER AND METHOD FOR CLEARING MEMORY THEREOF

Publication number: JP2001225515

Publication date: 2001-08-21

Inventor: YONEMOCHI MASARU

Applicant: NIPPON ELECTRIC CO

Classification:

- international: G06F9/38; B41J5/30; B41J29/38; G06F3/12;
G06F13/28; G06F9/38; B41J5/30; B41J29/38;
G06F3/12; G06F13/20; (IPC1-7): B41J5/30; B41J29/38;
G06F3/12; G06F9/38; G06F13/28

- European:

Application number: JP20000041047 20000218

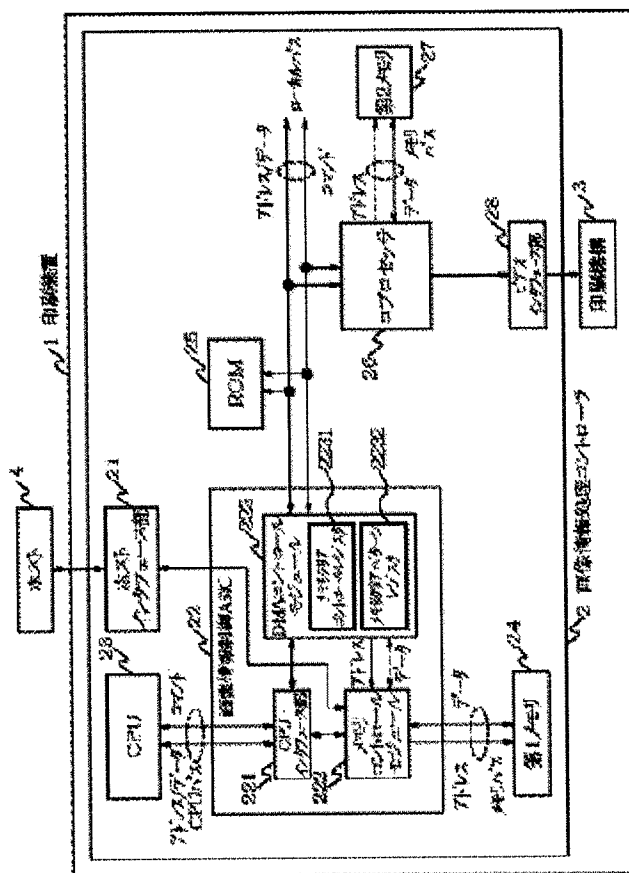
Priority number(s): JP20000041047 20000218

Report a data error here

Abstract of JP2001225515

PROBLEM TO BE SOLVED: To provide a printer, and a method for clearing the memory thereof, in which data is processed efficiently by an image information processing controller.

SOLUTION: Image information from a host 4 is received at a host interface section 21 and written in a first memory 24 through a memory control module 222. A coprocessor 26 reads out the image information from the first memory 24 through a DMA control module 223 and a memory control module 222. The DMA control module 223 clears memory for the area of the first memory 24 for which the image information is read out. In parallel with memory clear, the coprocessor 26 writes the image information read out from the first memory 24 into a second memory 27 after converting it into print data. The coprocessor 26 reads out the print data from the second memory 27 and delivers it through a video interface section 28 to a print mechanism 3 where the print data is printed.



Data supplied from the esp@cenet database - Worldwide

JP2001225515

Title:
PRINTER AND METHOD FOR CLEARING MEMORY THEREOF

Abstract:

PROBLEM TO BE SOLVED: To provide a printer, and a method for clearing the memory thereof, in which data is processed efficiently by an image information processing controller. **SOLUTION:** Image information from a host 4 is received at a host interface section 21 and written in a first memory 24 through a memory control module 222. A coprocessor 26 reads out the image information from the first memory 24 through a DMA control module 223 and a memory control module 222. The DMA control module 223 clears memory for the area of the first memory 24 for which the image information is read out. In parallel with memory clear, the coprocessor 26 writes the image information read out from the first memory 24 into a second memory 27 after converting it into print data. The coprocessor 26 reads out the print data from the second memory 27 and delivers it through a video interface section 28 to a print mechanism 3 where the print data is printed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-225515

(P2001-225515A)

(43)公開日 平成13年8月21日(2001.8.21)

(51)Int.Cl. ⁷	識別記号	F I	ページ* (参考)
B 4 1 J 5/30		B 4 1 J 5/30	Z 2 C 0 6 1
29/38		29/38	Z 2 C 0 8 7
G 0 6 F 3/12		G 0 6 F 3/12	B 5 B 0 1 3
9/38	3 7 0	9/38	3 7 0 C 5 B 0 2 1
13/28	3 1 0	13/28	3 1 0 E 5 B 0 6 1

審査請求 有 請求項の数 8 O L (全 7 頁) 最終頁に続く

審査請求 有 請求項の数 8 OL (全 7 頁) 最終頁に続く

(21)出願番号 特願2000-41047(P2000-41047)

(22) 出願日 平成12年2月18日(2000.2.18)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 發明者 米持 勝

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

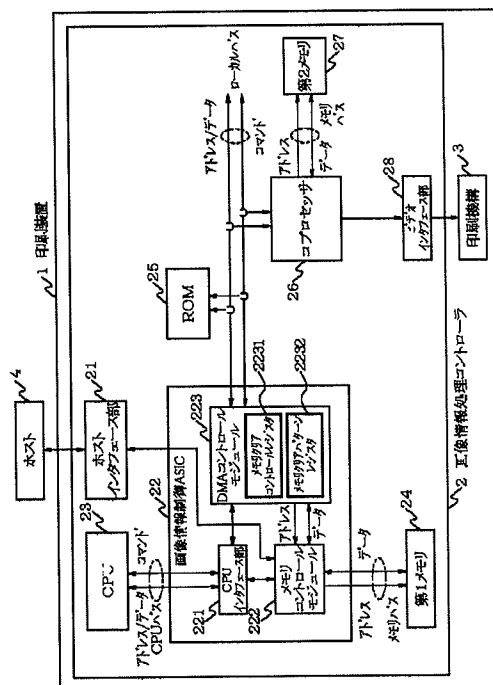
[最終頁に続く](#)

(54) 【発明の名称】 印刷装置およびそのメモリクリア方法

(57) 【要約】

【課題】 画像情報処理コントローラでのデータ処理を効率化した印刷装置およびそのメモリクリア方法を提供する。

【解決手段】 ホスト4からの画像情報をホストインタフェース部21で受信しメモリコントロールモジュール222を介して第1メモリ24に書き込む。コプロセッサ26はDMAコントロールモジュール223及びメモリコントロールモジュール222を介して第1メモリ24から画像情報を読み出す。DMAコントロールモジュール223は画像情報を読み出した第1メモリ24の領域に対しメモリクリアを行う。メモリクリアと並行してコプロセッサ26は第1メモリ24から読み出した画像情報を印刷データに変換生成し第2メモリ27に書き込む。コプロセッサ26は第2メモリ27から印刷データを読み出しビデオインタフェース部28を介し印刷機構3に送出し、印刷機構3は印刷データを印刷する。



【特許請求の範囲】

【請求項1】 ホストから画像情報を受信して印刷する印刷装置であって、前記ホストから受信した画像情報から印刷データを変換生成する画像情報処理コントローラと、前記画像情報処理コントローラが生成した印刷データを印刷する印刷機構とを備え、前記画像情報処理コントローラは、前記ホストから画像情報を受信し画像情報制御ASICに渡すホストインタフェース部と、前記ホストインタフェース部から渡された画像情報を第1メモリに格納しコプロセッサと前記第1メモリとの間のデータ転送を制御し前記第1メモリをメモリクリアする画像情報制御ASICと、前記画像情報処理コントローラ全体を制御するCPUと、前記画像情報および前記画像情報を印刷データに変換する途中の中間データを格納する第1メモリと、前記CPUおよびコプロセッサが使用するファームウェアを格納するROMと、前記画像情報から印刷データを変換生成して第2メモリに格納するコプロセッサと、前記コプロセッサにより変換生成された印刷データを格納する第2メモリと、前記印刷データを印刷機構3に送出するビデオインタフェース部と、から成ることを特徴とする印刷装置。

【請求項2】 前記画像情報制御ASICは、前記第1メモリから前記コプロセッサへのDMAリードデータ転送終了時に前記第1メモリの領域に対してメモリクリアを行うDMAコントロールモジュールを備えることを特徴とする請求項1記載の印刷装置。

【請求項3】 前記DMAコントロールモジュールは、メモリクリアコントロールレジスタを含み、前記メモリクリアコントロールレジスタの情報に基づき前記第1メモリに対するメモリクリアを行わない手段を有することを特徴とする請求項2記載の印刷装置。

【請求項4】 前記DMAコントロールモジュールは、メモリクリアパターンレジスタを含み、前記メモリクリアパターンレジスタの内容で前記第1メモリに対するメモリクリアを行う手段を有することを特徴とする請求項2記載の印刷装置。

【請求項5】 前記第1メモリから前記コプロセッサへのDMAリードデータ転送終了時に前記画像情報制御ASICが行う第1メモリに対するメモリクリアと前記コプロセッサが行う印刷データ変換生成とを並行して動作させる手段を有することを特徴とする請求項1記載の印刷装置。

【請求項6】 ホストから受信した画像情報を印刷データに変換生成して印刷する印刷装置において、ホストから画像情報を受信して第1メモリに書き込み、前記第1メモリに書き込んだ画像情報を読み出し、前記画像情報を読み出した前記第1メモリの領域に対してメモリクリアを行い、前記メモリクリアと並行して前記第1メモリから読み出した画像情報を印刷データに変換生成する、ことを特徴とする印刷装置のメモリクリア方法。

【請求項7】 メモリクリアを行うか否かの情報を保持するメモリクリアコントロールレジスタの内容に基づき前記第1メモリに対するメモリクリアを行わないことを特徴とする請求項6記載の印刷装置のメモリクリア方法。

【請求項8】 メモリクリアパターン値を保持するメモリクリアパターンレジスタの内容に基づき前記第1メモリに対するメモリクリアを行うことを特徴とする請求項6記載の印刷装置のメモリクリア方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ホストコンピュータから受信した画像情報を印刷する印刷装置に関し、特に画像情報を印刷データに効率よく変換生成するための印刷装置およびそのメモリクリア方法に関する。

【0002】

【従来の技術】近年、印刷装置においては高機能化が進んでおり、高解像度かつ高スピードの印刷が求められている。これに伴い、印刷装置の内部では画像情報のデータ処理速度の高速化が必要となっている。

【0003】このため、画像情報のデータ処理を行う画像情報処理コントローラでは、コプロセッサを設けて画像情報データのダイレクトメモリアクセス（以下、DMAと記す）処理を行うことにより、高速化を図っている。

【0004】画像情報処理コントローラにおいて、DMA機能を備えたコプロセッサからのDMA要求処理では、DMAリードアクセス後にメモリをクリアする場合、CPUあるいはコプロセッサ自身が、リードアクセス完了後にメモリクリアを行っている。

【0005】

【発明が解決しようとする課題】しかしながら、上述の従来の技術では、DMAリードアクセス後のメモリクリアをCPUあるいはコプロセッサ自身が行っているので、データ処理に時間がかかっていたという問題点がある。

【0006】本発明の目的は、上記の問題点を解決して画像情報処理コントローラでのデータ処理を効率化した印刷装置およびそのメモリクリア方法を提供することにある。

【0007】

【課題を解決するための手段】本願第1の発明の印刷装置は、ホストから画像情報を受信して印刷する印刷装置であって、前記ホストから受信した画像情報から印刷データを変換生成する画像情報処理コントローラと、前記画像情報処理コントローラが生成した印刷データを印刷する印刷機構とを備え、前記画像情報処理コントローラは、前記ホストから画像情報を受信し画像情報制御ASICに渡すホストインタフェース部と、前記ホストインタフェース部から渡された画像情報を第1メモリに格納

しコプロセッサと前記第1メモリとの間のデータ転送を制御し前記第1メモリをメモリクリアする画像情報制御ASICと、前記画像情報処理コントローラ全体を制御するCPUと、前記画像情報および前記画像情報を印刷データに変換する途中の中間データを格納する第1メモリと、前記CPUおよびコプロセッサが使用するファームウェアを格納するROMと、前記画像情報から印刷データを変換生成して第2メモリに格納するコプロセッサと、前記コプロセッサにより変換生成された印刷データを格納する第2メモリと、前記印刷データを印刷機構3に送出するビデオインタフェース部と、から成ることを特徴とする。

【0008】本願第2の発明の印刷装置は、第1の発明において前記画像情報制御ASICは、前記第1メモリから前記コプロセッサへのDMAリードデータ転送終了時に前記第1メモリの領域に対してメモリクリアを行うDMAコントロールモジュールを備えることを特徴とする。

【0009】本願第3の発明の印刷装置は、第2の発明において前記DMAコントロールモジュールは、メモリクリアコントロールレジスタを含み、前記メモリクリアコントロールレジスタの情報に基づき前記第1メモリに対するメモリクリアを行わない手段を有することを特徴とする。

【0010】本願第4の発明の印刷装置は、第2の発明において前記DMAコントロールモジュールは、メモリクリアパターンレジスタを含み、前記メモリクリアパターンレジスタの内容で前記第1メモリに対するメモリクリアを行う手段を有することを特徴とする。

【0011】本願第5の発明の印刷装置は、第1の発明において前記第1メモリから前記コプロセッサへのDMAリードデータ転送終了時に前記画像情報制御ASICが行う第1メモリに対するメモリクリアと前記コプロセッサが行う印刷データ変換生成とを並行して動作させる手段を有することを特徴とする。

【0012】本願第6の発明の印刷装置のメモリクリア方法は、ホストから受信した画像情報を印刷データに変換生成して印刷する印刷装置において、ホストから画像情報を受信して第1メモリに書き込み、前記第1メモリに書き込んだ画像情報を読み出し、前記画像情報を読み出した前記第1メモリの領域に対してメモリクリアを行い、前記メモリクリアと並行して前記第1メモリから読み出した画像情報を印刷データに変換生成する、ことを特徴とする。

【0013】本願第7の発明の印刷装置のメモリクリア方法は、第6の発明においてメモリクリアを行うか否かの情報を保持するメモリクリアコントロールレジスタの内容に基づき前記第1メモリに対するメモリクリアを行わないことを特徴とする。

【0014】本願第8の発明の印刷装置のメモリクリア

方法は、第6の発明においてメモリクリアパターン値を保持するメモリクリアパターンレジスタの内容に基づき前記第1メモリに対するメモリクリアを行うことを特徴とする。

【0015】

【発明の実施の形態】本発明の実施の形態について、図面を参照して説明する。

【0016】図1は、本発明の実施の形態の構成を示すブロック図である。

【0017】図1を参照すると、コンピュータ等のホスト4と接続される印刷装置1は、ホスト4からの画像情報を印刷可能な印刷データに変換生成処理を行う画像情報処理コントローラ2と、画像情報処理コントローラ2が変換生成した印刷データを文字やグラフィック等のイメージとして印刷するプリンタエンジンである印刷機構3と、を有している。

【0018】画像情報処理コントローラ2は、ホストインタフェース部21と、画像情報制御ASIC (Application Specific Integrated Circuit) 22と、CPU23と、第1メモリ24と、ROM25と、コプロセッサ26と、第2メモリ27と、ビデオインタフェース部28と、から構成される。

【0019】ホストインタフェース部21は、ホスト4から画像情報を受信し、画像情報制御ASIC22の中のメモリコントロールモジュール222に渡す。

【0020】画像情報制御ASIC22は、CPUインタフェース部221とメモリコントロールモジュール222とDMAコントロールモジュール223とから成り、CPUインタフェース部221とメモリコントロールモジュール222とDMAコントロールモジュール223とは相互にバス接続されている。

【0021】CPUインタフェース部221は、CPUバスを介してCPU23と接続され、CPU23とのインタフェースをつかさどる。

【0022】メモリコントロールモジュール222は、メモリバスを介して第1メモリ24と接続され、第1メモリ24に対するデータの読み出し/書き込みを制御する。すなわち、ホストインタフェース部21から渡された画像情報を第1メモリ24に書き込む。また、DMAコントロールモジュール223を介したコプロセッサ26からの要求により、第1メモリ24からのデータ読み出しあるいは第1メモリ24へのデータ書き込みを行う。

【0023】DMAコントロールモジュール223は、ローカルバスを介してコプロセッサ26と接続され、内部にメモリクリアコントロールレジスタ2231とメモリクリアパターンレジスタ2232を含む。DMAコントロールモジュール223は、第1メモリ24とコプロセッサ26との間のDMAデータ転送を制御し、DM

Aリードアクセス後に第1メモリ24に対してメモリクリアを行う。

【0024】メモリクリアコントロールレジスタ2231は、第1メモリ24に対するメモリクリアを行うか否かの情報が設定される。DMAデータ転送処理開始前に、CPU23がメモリクリアを行うか否かの情報を設定する。

【0025】メモリクリアパターンレジスタ2232は、第1メモリ24に対するメモリクリアを行うときのクリアパターン値が設定される。DMAデータ転送処理開始前に、CPU23がROM25からクリアパターン値を読み出して設定する。

【0026】CPU23は、CPUバスを介してCPUインタフェース部221と接続される。CPU23は、ROM25から読み出されて第1メモリ24に展開される制御ファームウェアに基づき、画像情報処理コントローラ2全体を制御する。

【0027】第1メモリ24は、DRAMやSDRAM (Synchronous DRAM) 等のランダムアクセスメモリであり、メモリバスを介してメモリコントロールモジュール222と接続される。第1メモリ24には、受信した画像情報および画像情報から印刷データに変換される途中の中間データである符号化データを含み、画像情報および符号化データを格納する領域をイメージバッファ領域という。また、画像情報と符号化データを総称して画像情報データと称す。さらに、第1メモリ24には、ROM25から読み出された制御ファームウェアが展開される。

【0028】ROM25は、ローカルバスを介してDMAコントロールモジュール223と接続される。ROM25には、全体を制御する制御ファームウェア、画像情報データを印刷可能な印刷データに変換生成処理するファームウェアおよび第1メモリ24をメモリクリアするための情報等が格納される。

【0029】コプロセッサ26は、ローカルバスを介してDMAコントロールモジュール223と接続され、コプロセッサ26には第2メモリ27とビデオインタフェース部28が接続される。コプロセッサ26は、DMA機能を備え、ROM25から読み出されて第2メモリ27に展開される変換ファームウェアに基づき、次のことを行う。

- ・第1メモリ24との間でDMAデータ転送を行う。
- ・入力した画像情報から符号化(圧縮)データを生成する。
- ・入力した符号化(圧縮)データを復号化(伸長)して印刷データを生成し第2メモリ27に書き込む。
- ・入力した画像情報を印刷データとして第2メモリ27に書き込む。

【0030】第2メモリ27は、DRAMやSDRAM等のランダムアクセスメモリであり、メモリバスを介し

てコプロセッサ26と接続される。第2メモリ27は、コプロセッサ26により変換生成された印刷データを格納する。また、コプロセッサ26が第1メモリ24から読み出した画像情報データおよびコプロセッサ26の処理中間データ等が格納される。さらに、画像情報データを印刷可能な印刷データに変換生成処理する変換ファームウェアが展開される。

【0031】ビデオインタフェース部28は、印刷データを印刷機構3に送出する。

【0032】本発明の実施の形態の動作について、図1～図3を参照して詳細に説明する。

【0033】図2は、全体の動作の流れを示す図である。

【0034】図3は、DMAリードサイクルの動作の流れを示す図である。

【0035】最初に、全体の動作の流れについて説明する。

【0036】図2を参照すると、ステップ201において、ホスト4からの画像情報をホストインタフェース部21で受信する。これに伴い、CPU23は印刷のための処理の制御を開始する。

【0037】ステップ202において、ホストインタフェース部21で受信した画像情報をメモリコントロールモジュール222を介して第1メモリ24に書き込む。

【0038】ステップ203において、コプロセッサ26はDMAコントロールモジュール223およびメモリコントロールモジュール222を介して第1メモリ24から画像情報を読み出して符号化データを生成し、DMAコントロールモジュール223およびメモリコントロールモジュール222を介して第1メモリ24に書き込む。

【0039】ステップ204において、コプロセッサ26はDMAコントロールモジュール223およびメモリコントロールモジュール222を介して第1メモリ24から符号化データを読み出し復号化して印刷データを生成し、第2メモリ27に書き込む。

【0040】ステップ205において、コプロセッサ26は第2メモリ27から印刷データを読み出し、ビデオインタフェース部28を介して印刷機構3に送出する。

【0041】ステップ206において、印刷機構3は印刷データを印刷する。

【0042】このようにして、ホスト4から受信した画像情報はコプロセッサ26で印刷データに変換生成され、印刷機構3で印刷される。

【0043】次に、画像情報から印刷データを変換生成するために行われるコプロセッサ26と第1メモリ24との間のDMAデータ転送について、詳細に説明する。

【0044】まず、コプロセッサ26が第1メモリ24からデータを読み出す場合(DMAリードサイクル)の動作について説明する。

【0045】図3を参照すると、ステップ301において、CPU23は、画像情報制御ASIC22側に、DMAリードサイクルにおけるメモリクリア実行のためにメモリクリアコントロールレジスタ2231およびメモリクリアパターンレジスタ2232の設定を行い、またコプロセッサ26側に、DMAに関するソースアドレス、ディスティネーションアドレス、転送データサイズおよび転送回数等の設定を行う。なお、転送データサイズとして、32ビット×1回（シングル転送）または32ビット×2, 4, 8若しくは16回（バースト転送）があり、処理に応じて選択指定される。

【0046】ステップ302において、CPU23は、第1メモリ24内のイメージバッファ領域に格納されている画像情報や符号化データをコプロセッサ26側に読み出すために、コプロセッサ・リードDMAを起動する。コプロセッサ26はDMAコントロールモジュール223に対してDMA要求信号を発行し、DMAコントロールモジュール223はコプロセッサ26に対してDMA応答信号を返す。これにより、DMAサイクルが開始する。コプロセッサ26はローカルバスのアドレス／データバスにアドレスおよびデータを、コマンドバスにリードコマンドを出力する。DMAコントロールモジュール223は、コプロセッサ26から受け取ったアドレスおよびコマンドを解析し、リードコマンドであるので、メモリコントロールモジュール222に対してリード要求を行い、第1メモリ24から読み出されたデータをローカルバスに出力する。このようにして、第1メモリ24からコプロセッサ26にDMAリードデータ転送される。

【0047】ステップ303～ステップ304において、DMAリードデータ転送終了時に、DMAコントロールモジュール223は、メモリクリアコントロールレジスタ2231に予めメモリクリア機能が有効と設定されている場合は、DMAリードを行ったイメージバッファ領域に対して、メモリクリアパターンレジスタ2232に予め設定されているメモリクリアパターンの32ビットデータに従って、DMA転送データサイズと同サイズのメモリクリアを行う。これで、1回のDMAリードサイクルが終了する。なお、コプロセッサ26においては、上述のDMAコントロールモジュール223が行うメモリクリア処理と並行して、ステップ302でのDMAリードデータ転送が終了すると同時に、リードした画像情報データを印刷データに変換生成する処理を行う。

【0048】ステップ305において、所定の転送回数のDMAリードサイクルが行われたかを判定し、所定の転送回数に達していない場合にはステップ302からの処理を繰り返す。所定の転送回数に達している場合にはデータ読み出し処理の終了となる。

【0049】このように、第1メモリ24に対するメモリクリアを実行する場合に、CPU23およびコプロセ

ッサ26がメモリクリアを実行する必要がなくなり、その分CPU23やコプロセッサ26がデータ処理に専念でき、CPU23やコプロセッサ26の処理性能を向上させることになる。

【0050】続けて、コプロセッサ26が第1メモリ24にデータを書き込む場合（DMAライトサイクル）の動作について説明する。

【0051】CPU23は、コプロセッサ26側に、DMAに関するソースアドレス、ディスティネーションアドレス、転送データサイズおよび転送回数等の設定を行う。なお、転送データサイズとして、32ビット×1回（シングル転送）または32ビット×2, 4, 8若しくは16回（バースト転送）があり、処理に応じて選択指定される。

【0052】CPU23は、コプロセッサ26側のデータを第1メモリ24内のイメージバッファ領域に書き込むために、コプロセッサ・ライトDMAを起動する。コプロセッサ26はDMAコントロールモジュール223に対してDMA要求信号を発行し、DMAコントロールモジュール223はコプロセッサ26に対してDMA応答信号を返す。これにより、DMAサイクルが開始する。コプロセッサ26はローカルバスのアドレス／データバスにアドレスおよびデータを、コマンドバスにライトコマンドを出力する。DMAコントロールモジュール223は、コプロセッサ26から受け取ったアドレスおよびコマンドを解析し、ライトコマンドであるので、メモリコントロールモジュール222を経由して第1メモリ24にデータを書き込む。このようにして、コプロセッサ26から第1メモリ24にDMAライトデータ転送される。

【0053】

【発明の効果】本発明の第1の効果は、DMAリードデータ転送終了時に、メモリクリアの実行と並行してCPUおよびコプロセッサがデータ処理を行うことができることである。これにより、CPUやコプロセッサがメモリクリアを実行する必要がなくなり、より効率的なデータ処理が可能になり、データ処理速度を向上させることができる。

【0054】その理由は、DMAリードデータ転送終了時に、メモリクリアパターンレジスタの内容に基づきメモリクリアを行う手段を設けたからである。

【0055】本発明の第2の効果は、メモリクリアを必要としない場合にはメモリクリアを無効とすることができることである。これにより、メモリクリアを必要としないコプロセッサにおけるDMA転送において、データ転送の処理効率化が計れる。

【0056】その理由は、メモリクリアの有効／無効を設定するメモリクリアコントロールレジスタの内容に基づきメモリクリアを実行するか否かを判断する手段を設けたからである。

【図面の簡単な説明】

【図1】 本発明の実施の形態の構成を示すブロック図
 【図2】 本発明の実施の形態の全体の動作の流れを示す図

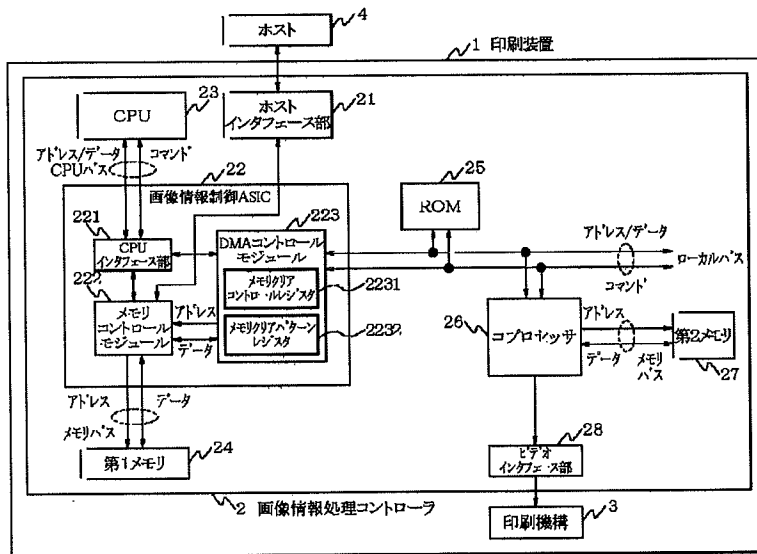
【図3】 DMAリードサイクルの動作の流れを示す図

【符号の説明】

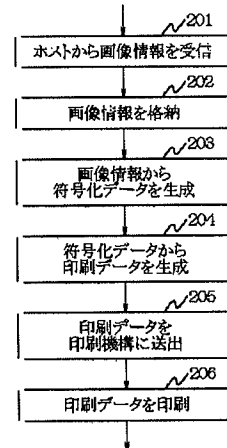
- 1 印刷装置
- 2 画像情報処理コントローラ
- 3 印刷機構
- 4 ホスト
- 21 ホストインタフェース部
- 22 画像情報制御ASIC

- 23 CPU
- 24 第1メモリ
- 25 ROM
- 26 コプロセッサ
- 27 第2メモリ
- 28 ビデオインタフェース部
- 221 CPUインタフェース部
- 222 メモリコントロールモジュール
- 223 DMAコントロールモジュール
- 2231 メモリクリアコントロールレジスタ
- 2232 メモリクリアパターンレジスタ

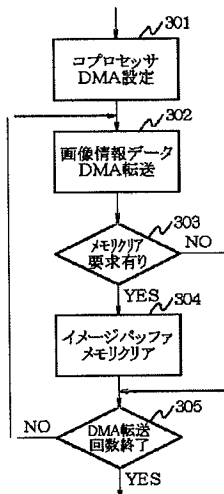
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

(参考)

9A001

Fターム(参考) 2C061 HH07 HJ06
2C087 AB05 BA03 BC04 BD41
5B013 DD03 DD05
5B021 AA01 AA02 BB02 CC06 DD07
EE01
5B061 DD22
9A001 EE04 JJ35 KK54